
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2011/2012

Jun 2012

EEE 270 – Elektronik Analog II

Masa : 3 jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi TUJUH muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi dua bahagian, **Bahagian A** dan **Bahagian B**.

Jawab LIMA soalan. Jawab DUA soalan dalam Bahagian A dan DUA soalan dalam Bahagian B dan SATU soalan daripada mana-mana Bahagian.

Gunakan dua buku jawapan yang diberikan supaya jawapan-jawapan bagi soalan-soalan **Bahagian A** adalah di dalam satu buku jawapan dan bagi **Bahagian B** di dalam buku jawapan yang lain.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi soalan diberikan disudut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia atau Bahasa Inggeris.

“Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai.”

“In the event of any discrepancies, the English version shall be used.”

...2/-

BAHAGIAN A

PART A

1. (a) Perbandingan di antara penapis jalur rendah dan penapis jalur tinggi adalah penting di dalam sesebuah sistem. Justeru itu,

The comparison between a low pass filter and high pass filter is essential in a system. Therefore,

- (i) Lukis $A_v(s)$ menentang frekuensi radian ω dan nyatakan magnitudnya.

Draw the $A_v(s)$ versus ω and state their corresponding magnitude.

(4 markah/marks)

- (ii) Nyatakan jumlah kutub dan sifar dan juga jalur lebarnya.

State number of poles and zeros, and the bandwidth.

(4 markah/marks)

- (iii) Nyatakan fasa yang berfungsiakan frekuensi.

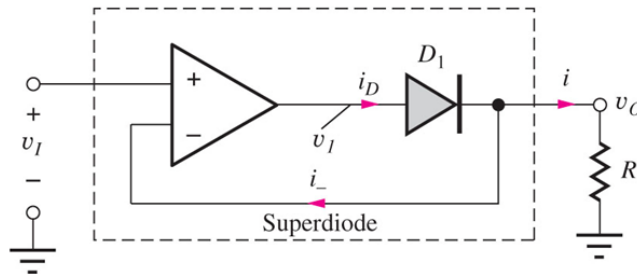
State the phase as a function of frequency.

(4 markah/marks)

- (b) Diod di dalam Rajah 1(b) mempunyai “voltan-buka” bernilai 0.6 V, dan penguat kendalian beroperasi dengan punca voltan berjumlah ± 15 V. Apakah nilai bagi v_0 dan v_1 bagi litar jika masukan adalah +2 V dan -2 V.

Suppose diode in Figure 1(b) has an “on-voltage” of 0.6 V, and the op amp is operating with ± 15 V power supplies. What are the voltages v_0 and v_1 for the circuit if input voltage are +2 V and -2 V.

(8 markah/marks)



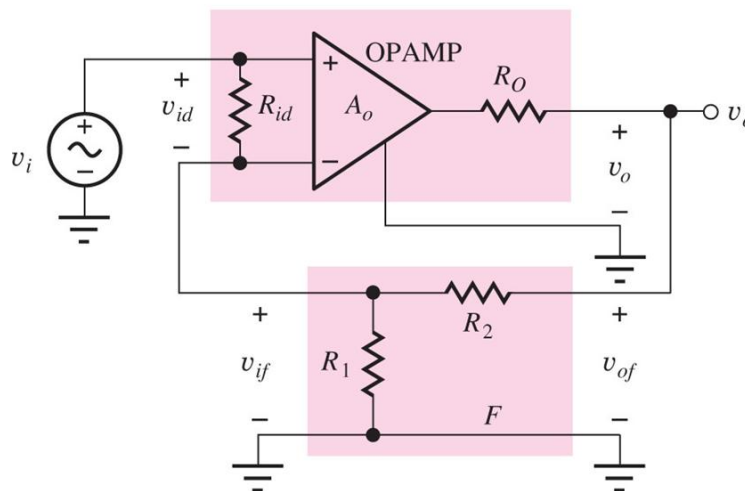
Rajah 1(b)

Figure 1(b)

2. Tentukan nilai A_v dan R_{in} bagi litar Rajah 2, jika penguat kendalian mempunyai nilai gandaan gelung-terbuka sebanyak 80 dB, rintangan masukan 25 k Ω dan juga rintangan keluaran sebanyak 1 k Ω . Anggarkan bahawa penguat kendalian tersebut dipacu oleh isyarat voltan masukan dengan rintangan sumber bernilai 2-k Ω dan jaringan suapbalik diimplementasikan menggunakan rintangan-rintangan $R_2 = 91$ k Ω dan $R_1 = 10$ k Ω .

Find A_v and R_{in} for the circuit shown in Figure 2, if the op amp has an open-loop gain of 80 dB, an input resistance of 25 k Ω , and output resistance of 1 k Ω . Assume the op amp is driven by a signal voltage with 2-k Ω source resistance, and the feedback network is implemented with $R_2 = 91$ k Ω and $R_1 = 10$ k Ω .

(20 markah/marks)



Rajah 2

Figure 2

3. (a) Apakah yang anda faham dengan had nisbah penolakan ragam sepunya. Berikan formula-formula berkaitan untuk menjelaskan kefahaman anda.

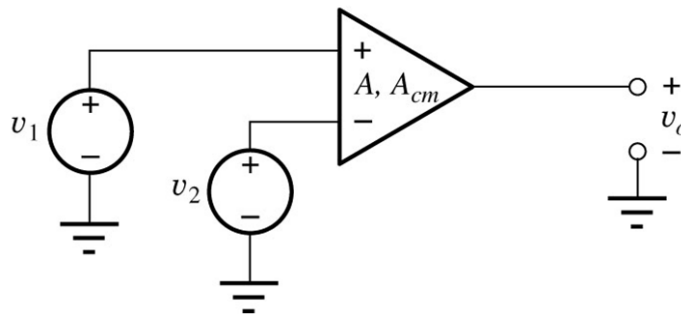
Define finite common-mode rejection ratio. Give relevant expressions to support your explanation.

(5 markah/marks)

- (b) Pertimbangkan litar seperti di dalam Rajah 3(b). Penguat mempunyai gandaan mod-beza sebanyak 2500 dan juga CMRR bernilai 80 dB. Cari julat voltan keluaran jika $v_1 = 5.001 \text{ V}$ and $v_2 = 4.999 \text{ V}$. Berapakah peratus kesilapan yang diperolehi berdasarkan had CMRR tersebut.

Consider circuit in Figure 3(b). The amplifier has a differential-mode gain of 2500 and a CMRR of 80 dB. Find the range of output voltages if $v_1 = 5.001 \text{ V}$ and $v_2 = 4.999 \text{ V}$. What is the percentage of error introduced by the finite CMRR.

(15 markah.marks)

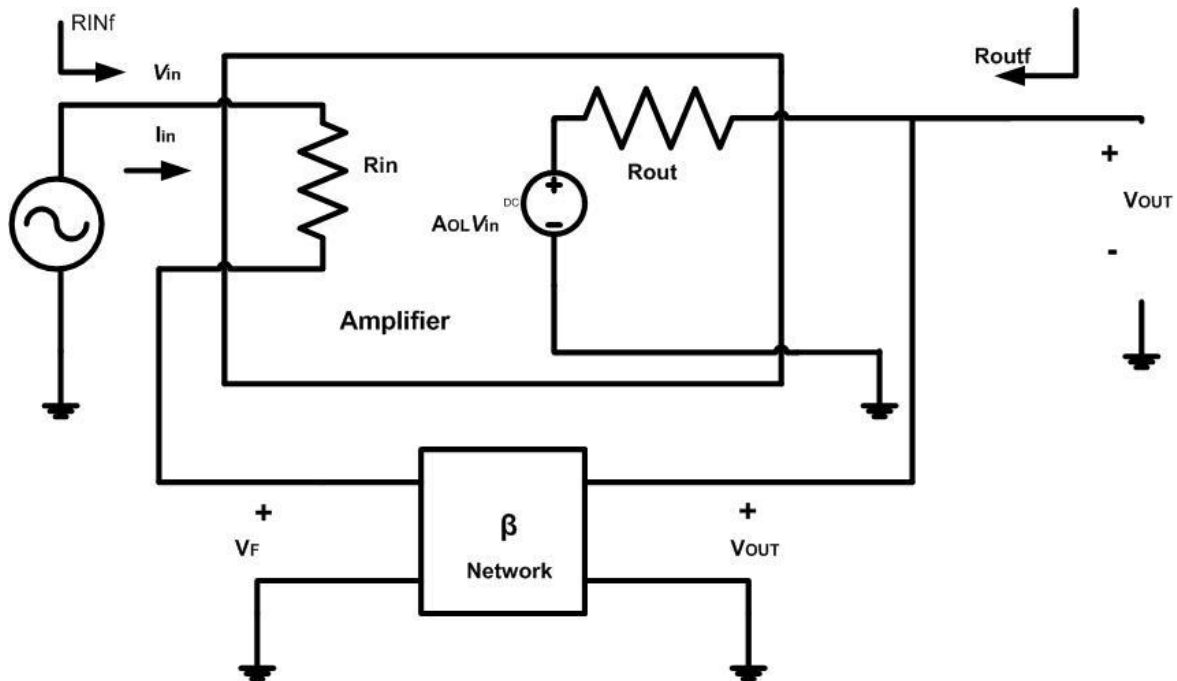


Rajah 3(b)

Figure 3(b)

BAHAGIAN B
PART B

4. Rajah 4 menunjukkan litar dengan suapbalik.
Figure 4 shows circuit with feedback.

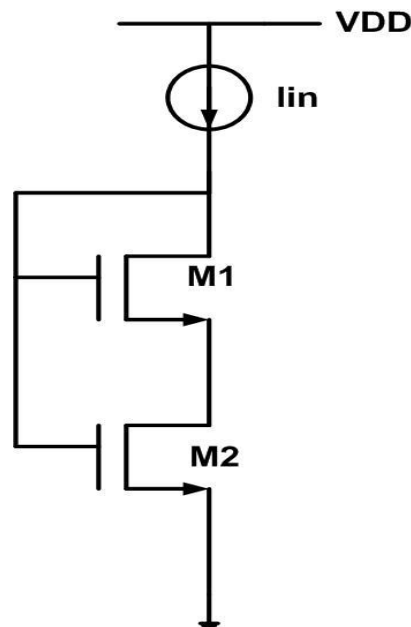


Rajah 4
Figure 4

- Namakan konfigurasi suapbalik.
Identify Feedback Configuration.
(4 markah/marks)
- Dapatkan persamaan rintangan masukan.
Derived Input Resistance expression.
(8 markah/marks)
- Dapatkan persamaan rintangan keluaran.
Derived Output Resistance expression.
(8 markah/marks)

5. Rajah 5 menunjukkan dua buah transistor membentuk diod sebahagian daripada arus cermin Sioch.

Figure 5 shows transistors to form diode connections as part of Sioch current mirror.



Rajah 5

Figure 5

- (a) Namakan kawasan operasi M1 dan M2

What is the region of operation of M1 and M2.

(5 markah/marks)

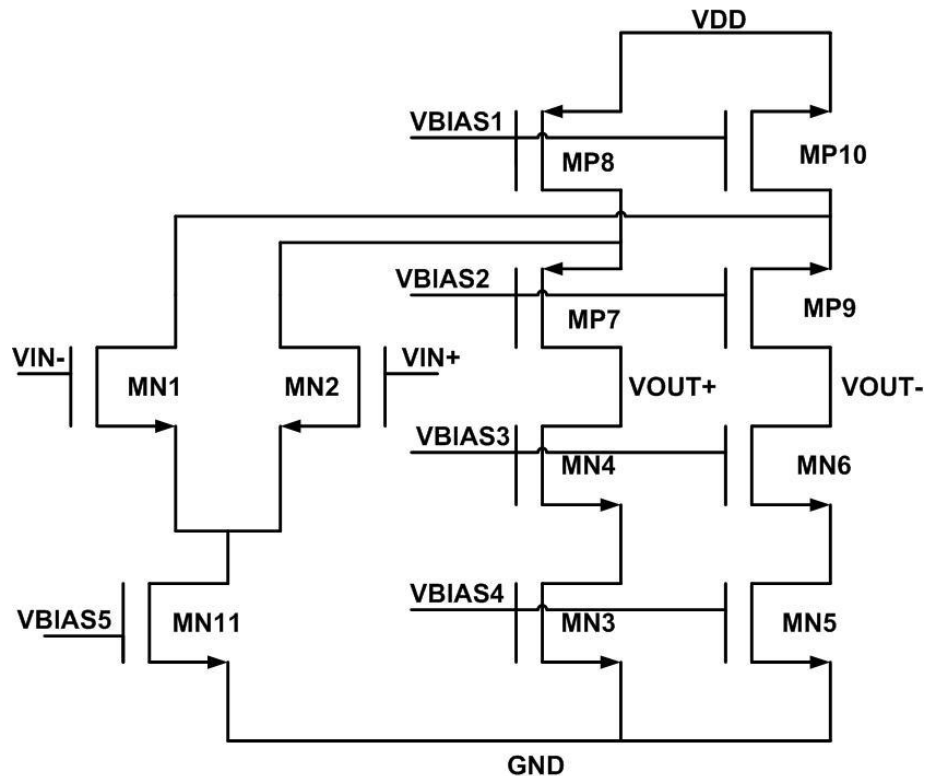
- (b) Berdasarkan jangkaan anda apakah nisbah W antara M1 dan M2.

Based on your assumptions what is the ratio W between M1 and M2.

(15 markah/marks)

6. Rajah 6 menunjukkan reka bentuk konfigurasi CMOS folded cascode.

Figure 6 shows the design of CMOS folded cascode configuration.



Rajah 6

Figure 6

- (a) Rekabentuk CMFB berpanjangan untuk mendapat voltan keluaran stabil.

Design continuous CMFB circuit to get stable output voltage.

(10 markah/marks)

- (b) Terangkan operasi litar CMFB.

Explain how your CMFB circuit operate.

(10 markah/marks)

oooOooo